

# PATENT ABSTRACTS OF JAPAN

(11) Publication number :

08-070079

(43) Date of publication of application : 12. 03. 1996

(51) Int. Cl.

H01L 23/50  
B42D 15/10  
H01L 21/304  
H01L 21/56  
H01L 23/02  
H01L 23/04  
H01L 23/28  
H01L 25/10  
H01L 25/11  
H01L 25/18

(21) Application number : 06-204852 (71) Applicant : HITACHI LTD

(22) Date of filing : 30. 08. 1994 (72) Inventor : MIYANO ICHIRO

KAWAGUCHI IKUO

MATSUMOTO KUNIO

SAEKI JUNICHI

YOSHIDA TORU

ISADA NAOYA

YOSHIDA ISAMU

KAWAI MICHIKUMI

YAMAKURA HIDEO

TSUNODA SHIGEHARU

ORIHASHI RITSURO

MASUDA MASACHIKA

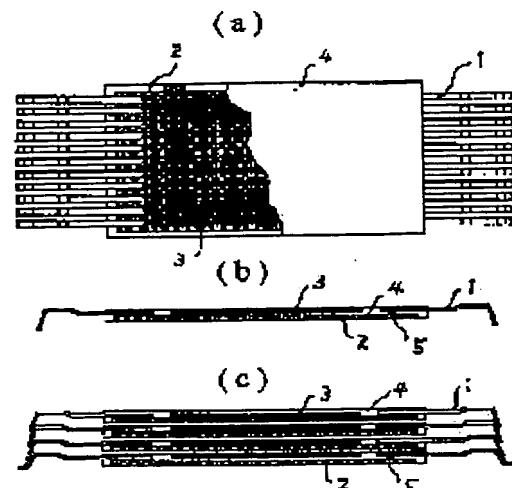
KAWAI SUEO

## (54) SEMICONDUCTOR DEVICE

### (57) Abstract:

PURPOSE: To provide a semiconductor module which has high function in the same volume, by constituting a laminated structure by using a plurality of very thin semiconductor devices of high reliability and low cost which are capable of repair at the time of mounting.

CONSTITUTION: A very thin lead frame 1 is directly connected with an LSI chip 2, the back of the LSI chip is exposed, and thin type molding is performed by using low viscosity type epoxy resin 4. The whole of a



semiconductor device is farther thinned by grinding the back part. A part of the lead frame is made a reinforcement part 3 or a heat dissipating part or a light shielding part from harmful light or the reference of alignment at the time of board mounting. The above very thin semiconductor devices are connected in a laminated arrangement, and a multilayered semiconductor module is constituted. Thereby a card type module which has higher function is obtained.

---

#### LEGAL STATUS

[Date of request for examination] 28.10.1999

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-70079

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 23/50	K			
	W			
B 42 D 15/10	5 2 1			
H 01 L 21/304	3 2 1	Z		
			H 01 L 25/ 14	Z
			審査請求 未請求 請求項の数34 O L (全 11 頁)	最終頁に続く
(21)出願番号	特願平6-204852		(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成6年(1994)8月30日		(72)発明者	宮野 一郎 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内
			(72)発明者	川口 郁夫 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内
			(72)発明者	松本 邦夫 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内
			(74)代理人	弁理士 小川 勝男 最終頁に続く

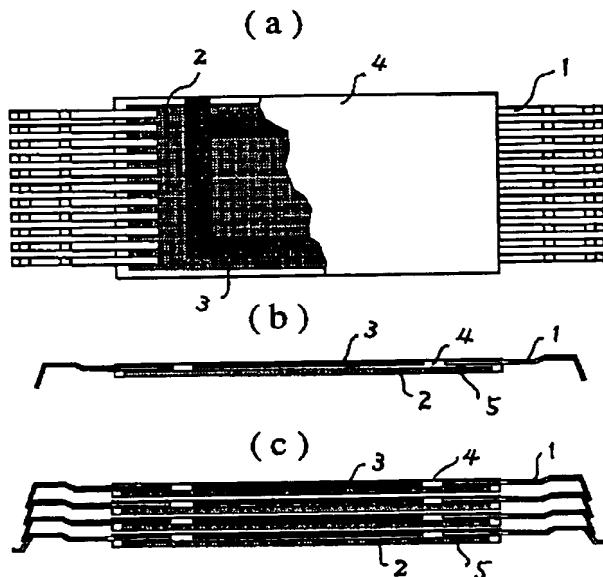
(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【目的】高信頼性、低コスト、実装時のリペアも可能な極薄半導体装置で、これを複数個を用いて積層構造とし、同体積で高機能な半導体モジュールを提供する。

【構成】極薄リードフレーム1とLSIチップ2を直接接続し、低粘度型エポキシレジン4によりLSIチップの裏面を露出させて薄型モールドする。この裏面部分に研削加工を施すことで半導体装置全体をさらに薄くする。リードフレームの一部は補強部3や放熱部、有害光線からの遮光部、または基板搭載時の位置合わせ基準とする。以上の極薄半導体装置を積層配置で接続し、積層型半導体モジュールとし、より高機能化したカード型モジュールである。

図1



## 【特許請求の範囲】

【請求項1】金属製リードフレームとLSIチップ上の電極を直接冶金学的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームを用い、これらの外周をレジンモールドしたことを特徴とする半導体装置。

【請求項2】金属製リードフレームとLSIチップ上の電極を直接冶金学的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームを用い、さらに該リードフレームの一部をLSIチップの反り等防止の補強材としておき、これらの外周をレジンモールドしたことを特徴とする半導体装置。

【請求項3】金属製リードフレームとLSIチップ上の電極を直接冶金学的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの反り防止補強材としておき、これら外周を、LSIチップの裏面を露出させてレジンモールドを行ったことを特徴とする半導体装置。

【請求項4】金属製リードフレームとLSIチップ上の電極を直接冶金学的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームの一部を、LSIチップの反り防止補強材とした状態で、LSIチップの裏面を露出させてレジンモールドを行い、さらにLSIチップの露出面側から研削加工を施し、半導体装置全体を薄型化したことを特徴とする半導体装置。

【請求項5】金属製リードフレームとLSIチップ上の電極を直接冶金学的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームを用い、さらに該リードフレームの一部をLSIチップからの放熱フィンまたは熱伝導部としておき、これらの外周部を放熱部分を露出させた状態でレジンモールドしたことを特徴とする半導体装置。

【請求項6】請求項5に記載される半導体装置においてLSIチップの裏面を露出させた状態でレジンモールドを行ったことを特徴とする半導体装置。

【請求項7】請求項6に記載される半導体装置においてLSIチップを露出させた側から研削加工を行い、半導体装置を薄型化したことを特徴とする半導体装置。

【請求項8】請求項5に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部を放熱部材としてのみならず、LSIチップの補強部材としたことを特徴とする半導体装置。

【請求項9】請求項6に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項10】請求項7に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項11】金属製リードフレームとLSIチップ上の電極を直接冶金的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームを用い、さらに一部を紫外線等のLSIチップに誤動作を発生させる光線の照射を遮断するための遮光部とし、これらの外周部分をレジンモールドしたことを特徴とする半導体装置。

【請求項12】請求項11に記載される半導体装置においてLSIチップの裏面を露出した状態でレジンモールドを行ったことを特徴とする薄型半導体装置。

【請求項13】請求項12に記載される半導体装置においてLSIチップを露出させた側から研削加工を行い、半導体装置を薄型化したことを特徴とする半導体装置。

【請求項14】請求項11に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項15】請求項12に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項16】請求項13に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項17】金属製リードフレームとLSIチップ上の電極を直接冶金的に接続してなる半導体装置において、全体を均一に薄型化したリードフレームを用い、さらに一部を実装の際の基板上の電極または同種の半導体装置上の電極との位置合わせ基準部となるように加工し、これらの外周をレジンモールドしたことを特徴とする半導体装置。

【請求項18】請求項17に記載される半導体装置においてLSIチップの裏面を露出した状態でレジンモールドを行ったことを特徴とする半導体装置。

【請求項19】請求項18に記載される半導体装置においてLSIチップを露出させた側から研削加工を行い半導体装置を薄型化したことを特徴とする半導体装置。

【請求項20】請求項17に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項21】請求項18に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項22】請求項19に記載される半導体装置において、全体を均一に薄型化したリードフレームの一部をLSIチップの補強部材としたことを特徴とする半導体装置。

【請求項23】請求項5、請求項11、請求項17を除く、請求項3から請求項22に記載される半導体装置においてLSIチップを露出させた部分に、LSIチップからの放熱を目的とした放熱板等の放熱用部材を装着したことを特徴とする半導体装置。

【請求項24】上記請求項1から請求項23に記載される半導体装置のどれかを少なくとも2層積層配置としてそれぞれの電極部を機能回路を構成するように電気的に接続した複合機能半導体機能モジュール。

【請求項25】上記請求項24に記載される半導体装置において積層される各半導体装置がどの層のものか判別可能なように種類表示マークを設けたことを特徴とする半導体装置。

【請求項26】半導体装置の電極部に、はんだに混入された場合はんだの融点を上昇させることができ、しかもはんだとリードフレーム材料のぬれ性を確保できる金属のめっきを施し、この電極部分をはんだ槽に浸漬することで、電極上にはんだ槽中のはんだよりも融点の高いはんだ膜を構成しこれを用いて基板への搭載もしくは同種の半導体装置との接続を行ったことを特徴とする半導体装置。

【請求項27】上記請求項1から請求項23に記載される半導体装置および請求項24または請求項25に記載される半導体装置において請求項26に記載される内容の接続部を用いたことを特徴とする半導体装置。

【請求項28】薄型リードフレームの成形に関して、LSIチップ上の電極と冶金的に接続される該リードフレーム上の電極部分を、LSIチップの補強部分に接続された状態で成形しておき、その後所定位置にめっきを施し、めっき工程の終了後、LSIチップの補強部分から切断して電気的に独立としたことを特徴とする半導体装置。

【請求項29】リードフレームを用いた半導体装置において、積層配置で少なくとも2個以上の半導体装置を実装する際に、該半導体装置から引き出される電極部を最初は半導体装置から直線上に引きだし、次に接続される側とは一旦逆の方向に曲げたあと、再度直線部を設けその後接続を行う基板又は同種類の半導体装置が配置される側に曲げる、2段曲げ加工を施したことを特徴とした積層型半導体モジュール。

【請求項30】上記請求項1から請求項23に記載されるリードフレームを用いた半導体装置において、該半導体装置から引き出される電極部を最初は半導体装置から直線上に引きだし、次に接続される側とは一旦逆の方向に曲げたあと、再度直線部を設けその後接続を行う基板又は同種類の半導体装置が配置される側に曲げる、2段曲げ加工を施したことを特徴とした積層型半導体モジュール。

【請求項31】上記請求項24、請求項25または請求項27、請求項28に記載される積層型半導体モジュー

ルと該積層形半導体モジュール以外の機能回路構成部品を用いて形成したカード型機能モジュール。

【請求項32】上記請求項24、請求項25または請求項27、請求項28に記載される積層形半導体モジュールにメモリLSIを搭載し、さらに該積層形半導体モジュール以外の機能回路構成部品を用いて形成したカード型メモリモジュール。

【請求項33】上記請求項1から請求項23に記載される半導体装置の何れかと、該半導体装置以外の機能回路構成部品を用いて形成したカード型モジュール。

【請求項34】上記請求項1から請求項23に記載されるいずれかの半導体装置にメモリLSIを搭載し、該半導体装置以外の機能回路構成部品を用いて形成したカード型モジュール。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】パーソナルコンピュータ及びワクステーション等機器の記憶素子、及び前記OA機器にオプションとして接続されるカード型の記憶媒体。更には小型で可搬型、相互通信機能を持つマルチメディア機器や各種ディジタル処理を完備した画像撮影装置に向けての高速動作性、データ編集性に優れた記憶媒体として用いられる、極めて小型で高機能な半導体装置の構造及び製造方法に関する。

##### 【0002】

【従来の技術】現在市販されているレジンモールド型半導体装置ではLSIパッケージの外部電極を構成するため、製造コストが比較的低いリードフレームを用いることが多い。リードフレームとLSIチップの位置関係により、特願昭61-241959号公報に記載されているような、LSIチップの上面にリードフレームが位置するLOC型(Lead On Chipの省略)とLSIチップの下面にリードフレームが位置するCOL型(Chip On Leadの省略)に分類される。特に後者のCOL型の構造ではリードフレームとLSIの固定にリードフレームの一部をダイパットと呼ばれるリードフレームとLSIの接着を目的とする部分に加工することが必要になる。両構造ともにリードフレームとLSI上電極の電気的な接続では、25μm前後のAuワイヤーを超音波と熱で圧着する、ワイヤーボンディング法が用いられている。このため温度サイクル等に対しての信頼性を確保するため、少なくとも高さ110μm以上のワイヤーラープ高さを考慮した外形寸法をとらざるを得ない。特にCOL型ではダイパッド部の厚さと合わせて、もっとも薄型化されたものでも0.45mm以下とすることが困難である。

【0003】一方、薄型化のみを目的とする構造としては、ポリイミドテープ上に35μm前後のCu箔をラミネートし、このCu箔にエッティング処理を施して電極パターンを形成したテープキャリアと、テープキャリア上

の電極に施されためっき金属とLSI上の電極に形成されたAuバンプとを熱圧着接続したテープキャリア型半導体装置がある。しかしテープキャリア自体の標準化が困難で加工に手間がかかることなどから、半導体装置としての製品コストが増大する傾向があった。この構造ではLSIチップを支持する電極部が変形しやすいため、外周をレジンモールドする場合、レジン流入圧力によるモールド金型内部でのLSIチップの移動やポリイミドテープの熱変形が問題となり、特開平5-315384号公報に記載されるようなLSIチップ移動防止用及び変形防止用の部材を設ける必要があった。そしてこのような部材が付加されることから、ワイヤーボンディングを用いる場合よりは薄型化を図ることが可能であるものの、やはり半導体装置の薄型化には限界があった。

【0004】テープキャリア型半導体装置では、外部電極の機械的強度が充分でないため、電極成形量がばらつき、プリント基板等への実装の際、半導体装置の外部電極と搭載基板上の電極パターンとの位置精度が確保できず、作業が困難であった。また機械的強度が不十分なことに加えてリード材料がはんだ接続時に接合部に溶出するなどしてしまったため、実装後のリペア作業がほぼ不可能であった。

【0005】特定の種類の半導体では、紫外線等の光線がLSIの表面に投射された場合に誤動作をする。半導体装置の薄型化では外周部のレジン厚さも当然薄くなることから、特にこれを防止する対策が必要とされるが、現状では遮光までを積極的に考慮しつつ薄型化された半導体装置は考案されていない。

【0006】メモリLSI内蔵の半導体装置を実装する場合、限られた搭載基板上の実装面積で出来るだけ大容量とするため、複数個の半導体装置を、同一機能を持つ電極どおりで接続して積層配置とすることが考えられ、これに関しては様々な構造が提案されている。リードフレームとワイヤーボンディング法を用いる通常の構造の半導体装置を積層の単位とした場合には、例えば特願平3-96266号公報に記載されるように、単層の厚さのみならず積層構造体全体が厚くなってしまい、メモリカードのような限定されたスペースに搭載することが不可能となるか、もしくは省スペース化の効果を充分に発揮できなかった。テープキャリア構造を利用して積層構造とする場合には、電極部の強度が不十分である為、積層数に限界があり、また積層構造体の一部に動作不良品が混入した場合にこれを取り除いて正常動作品におきかえるためのリペア作業が大変困難であった。

【0007】以上の如く従来技術には一長一短があり、薄型化、実装時の作業性、耐有害光線性、放熱性、機械強度の確保等を同時に満足した半導体装置はなかった。

【0008】

【発明が解決しようとする課題】従って本発明の目的は、ワイヤーボンディングを用いる構造においてワイヤ

ーループ高さとレジン厚さに制約され不可能であった半導体装置の超薄形化の低コストでの達成と、この半導体装置を積層構造体として単位面積あたりの実装効率を向上させた半導体モジュールの提供にある。

【0009】この際、LSIチップ及び半導体装置全体の補強とモールドレジンの収縮による変形の抑制、リペア作業性の改善、レジンモールド工程でのモールド作業性の改善を、工数・コストの増大なく達成する。

【0010】さらに積層モジュール状態のLSIチップから高効率に放熱し、有害光線からLSI表面を遮光することによりLSIチップの誤動作を防止する。

【0011】

【課題を解決するための手段】上記目的は、半導体装置の超薄形化の低コストのために極めて薄く圧延した、電極の成形および実装時のリペアに対して充分な強度を持つ、全体が均一な厚さの金属製リードフレームをLSI上の電極と治金的に直接接続し、これをLSIチップ裏面の回路パターンの形成されていないミラ一面を露出させた状態でレジンモールドした後、LSIミラ一面側からの研磨加工により厚さ250μm以下の半導体装置とすることで達成される。

【0012】比較的安価なリードフレームを使用して低コスト化を達成し、同時に薄型化に伴うLSIチップの破壊や半導体装置全体の反り変形を防止するための補強部や放熱経路、LSIパターンの遮光部材、さらには位置合わせ部材を確保する。

【0013】

【作用】ワイヤーボンディング法を用いる構造では不可能であった、極めて薄い半導体装置がテープキャリを用いるよりも低コストで提供可能となる。

【0014】テープキャリアでは使用不可能だった、厚さ・種類の金属箔を用いてリードフレームを形成することにより電極部に適度な強度が得られ、基板搭載時及び機能モジュール形成時のリペア性が向上する。また完成部品に対するソケット等を用いたバッチ処理的な検査が容易になる。さらにレジンモールド時にLSIチップをモールド型内部で所定の位置に保持可能となり、レジン部分の薄型化設計が容易になる。

【0015】リードフレームの一部を補強部とすることで、レジンモールド後のLSIチップの裏面側からの半導体装置の研削加工による薄型化が安定して可能となるため、途中工程でのLSIチップおよびウエハの取扱を従来品同様のままとして、装置厚さと内蔵LSIチップの極薄化が達成できる。

【0016】LSIチップのミラ一面側を露出した状態となることから、高効率な放熱を行うことが可能となる。

【0017】半導体装置単体を極めて薄く出来るため、たとえばメモリカードの様な高さ及び実装面積が限られたものに出来るだけ大量に半導体装置を実装する場

7  
合、複数個の積層配置での実装が可能となり、単位面積及び単位体積当たりの高機能化を図れる。

【0018】

【実施例】

(実施例1) 以下に本発明の基本となる極めて薄く構成された半導体装置の構造及び製造プロセスを記述する。

【0019】図1に厚さ250μm以下の薄型半導体装置の構成要素を示す。この半導体装置は極めて薄い金属性リードフレーム、それに電極部を形成するために直接冶金学的手法により接続されたLSIチップ、そしてモールドレジンによるLSIのパターンの形成されていない側の面を露出した状態での封止、モールド後の露出面側からの研削加工による薄型化、LSIチップの補強をその主目的として加工されたリードフレームの一部からなる。

【0020】リードフレームとしては50μm以下の例えばFe-Ni系合金を材料とする条をエッチングによりパターン化したものを使用する。リードフレーム材料の熱膨張が特に問題とならずまた機械的な強度が充分であるならば、Cu系合金を材料としても構わない。

【0021】この様な極めて薄いリードフレームでは、特にLSIチップと接続される部分が、LSI上の電極寸法に合わせて微細化されるため、この電極部分を、図2に示す様な通常厚さのリードフレームに用いられる様な形状で、レジンモールドの際のレジンの流出防止を目的とするタイバーのみで支持すると、エッチング工程やめっき工程で、エッチング過多による欠損やめっき液の噴流により変形を生じる可能性が高くなる。そこで図3に示す様にLSI上電極との接続部近くにリードフレーム成形の為の補強部分を設けておき、この形状のままでエッチング及びめっき工程を終了させる。その後LSIとの接続工程の前に所定位置を切断し電気的に独立とする。この方法を用いるとLSIチップ上の電極数が特に増大した場合に、より微細化されたリードフレーム上電極の成形が容易にできる。リードフレームとLSIの接続部においてリードフレームの熱膨張による断線が問題となるのであれば、直線形状の接続部とするのではなく、図4に示すような曲線形状とすることで、発生する応力を低減することが可能となる。エッチングのみならず可能であればダイとパンチによる、機械的な打ち抜き加工を用いてリードフレームを成形することもできる。

【0022】以上のようにして成形したリードフレームとLSIチップ上電極の接続には、例えばLSI上の電極に形成したAu製の突起状電極とリードフレームに施したAuまたはAgめっきの熱圧着による金属拡散接合を用いる。LSI上の電極ではなくリードフレーム側に突起上電極を設けておき、それによりリードフレームとLSIチップの接続を行っても構わない。

【0023】前述のLSIチップとの接続用電極をリードフレームに成形する為の補強部分は、全てを切除する

10

20

30

40

50

のではなく、一部をLSIチップに重なる位置で、リードフレームとLSIチップの電気的な接続とは無関係な状態で残しておく。この部分はLSIチップの補強部分とし、LSIチップおよび半導体装置全体の薄型化の際に問題となる反り変形やLSIチップの割れ等を防止する。LSIチップの補強部分は形状の工夫によりそのまま放熱用のヒートスプレッダ、もしくはモールドレジンの外部に露出させるのであれば放熱フィンとすることができる。また図5のように実装工程でのピン&ホール法による位置合わせ穴を形成することも出来る。更にはLSIチップを覗動作させる有害光線からLSI上のパターン形成面を遮光する部分とすることもできる。

【0024】リードフレームとLSIチップを接続した後、これらの外周をレジンによりモールドする。この場合には図6に示すように、LSIの回路が形成されていない面(ミラー面)側をモールド用の金型に押し付ける状態でモールドを行い、モールド終了後はミラー面側が露出した状態とする。リードフレームの剛性がテーブキャリア型半導体における35μmのCu箔と比較して高いため、レジンの流入圧力により生じるモールド型内部でのLSIチップの変位はレジン薄型化設計を図るに充分な程度抑制される。

【0025】モールドレジンの流入は通常のサイドフローではなく半導体装置のリードフレームの存在する側(パターン形成面)からレジンを流し込む、図6に示す様な、トップダウンフローを用いることが望ましい。この方法を用いることでLSIチップの変位は更に抑制される。またこのレジンモールド作業には粘度が通常レジンと比較して100分の1程度の低粘度レジンを用いるならばよりレジン部分の厚さ薄く設計することが可能となる。

【0026】通常レジンモールド封止をLSIチップの片方だけに行うと、レジンの硬化収縮、又はレジン材料であるエポキシとLSIチップ材料であるSiの熱膨張係数の差により半導体装置全体に図7のような反りを生じ、場合によってはLSIチップの割れを生じる。これは半導体装置を薄型化する場合に特に問題となる。しかし本発明では図1のように、リードフレームの一部をLSIチップの補強部としてあるため変形を抑制することができる。大寸法のLSIチップが搭載された場合にもこの補強が有効となる。レジンモールド部に補強部材が組み込まれた構造となるので、補強板を後から外部に装着する必要はなくその分、背面研磨の工程と合わせて薄型化にとって有利となる。

【0027】以上のモールド工程までの状態で半導体装置の厚さは約450μm前後となる。これはリードフレームの厚さ、リードフレームとLSIチップ接合部の高さ、LSIチップの厚さ、さらにはモールド可能なレジン厚さの最小値により規定される。現状Siウエハを250μm以下の厚さに加工した場合、ウエハの搬送、チ

ップ個片への切出し工程で、割れ破損等による不良率が著しく増大する。本発明の250μ以下の超薄型半導体装置を形成するにはこの点を考慮して、最初から薄く研磨したLSIチップを用いるのではなく、レジンモールド工程までが終了した状態でLSIチップのミラー面側から、つまりLSIチップ露出面側から図8の様に研削して全体を薄型化する。モールド工程の終了後リードフレームから個片に切り出された半導体装置を所定のホルダーにより固定して、液体により冷却を行なながら研削加工を行う。この工程でもリードフレームの一部から構成される補強部分が、LSIチップの割れ、半導体装置の反りなどを防止することに有効となる。半導体装置のホルダーは例えば、加熱により半導体装置の脱着が可能な樹脂膜を設け、さらに半導体装置のモールドレジン・電極部分との干涉を防止し半導体装置を補強できる形状に溝加工等を施した円盤状の金属板とする。

【0028】薄型化の際にはLSIチップのパターン面側のレジン厚さを薄く設計することが必要で、それにともない紫外線など有害光線の照射による誤動作を防止しなければならないが、リードフレームの一部を加工して設けたLSIチップの補強部は、同時に遮光部としても作用することから、光による誤動作の防止にも有効となる。

【0029】レジンモールドまでの工程を終了した後、リードフレームよりそれぞれの半導体装置ごとの個片に切出し、基板への実装を目的とした電極部分を所定の形状に加工して超薄型半導体装置として完成する。

【0030】基板搭載または他の同種類の半導体装置との積層実装の際にはリードフレームの一部を加工したピン&ホール法による位置合わせ穴を用いることもできる。

【0031】(実施例2)以下に本発明の超薄型半導体装置を少なくとも2個以上積層配置して接続した積層型半導体装置についての実施例を示す。

【0032】実施例1の方法で製作した半導体装置に例えばメモリLSIが搭載された場合、各LSIチップから引き出される電極の中で共通な機能をもつアドレス電極やデータI/O電極については、図9に示す様な形状で共通的に接続する。それ以外の各チップごと電気的に独立させる必要のある機能電極、例えばチップセレクト電極については、リードフレームの形状を図10に示すようにLSIチップ上電極と接続される側で変化させておき、それぞれ異なる位置の電極に配置される状態としておく。この場合、各層の半導体装置には、他の層半導体装置の為のチップセレクト引き回しを目的とした電極を、積層する半導体装置よりも一本少ない数で、LSIチップとは電気的に独立として設けておく。チップセレクト電極の引き回しを目的としてリードフレームの形状を変化させるには、エッチングによってパターンを変化させておく方法以外に、図11に示すように、共通の形

状のリードフレームにおいて、LSIチップ上電極との接続部に近い側の所定位置をリードフレーム作製時に切断して種類を分化させる方法も考えられる、この方法は例えば任意の種類について生産個数を増加させたい場合に有効となる。

【0033】リードフレームの形状は異なっても、モールド後の外見は各層の半導体装置とも同一となるため、電極の成形等実装までの作業性が向上する。各半導体を区別する必要が有る場合には判別用の表示マークを設けておく。

【0034】積層構造とする場合の電極部分の形状は、例えば、図12に示すような形状とする。レジンに近い側で一端搭載基板とは反対の方向に曲げ、次に所定の長さ平行部を設け、さらに搭載基板側に曲げる2段曲げとする。この形状にすることでリフロー、または動作時の接続部分に発生する熱応力を低減することが可能となり、薄型化した各層でのLSIチップ及び層間の接続部に発生する応力を軽減でき、半導体装置としての長寿命化、高信頼化が図れる。

【0035】積層実装の接続では各層のリードフレームに設けられた位置合わせ用穴を用いる。これにより特に多数の微細な電極をもつ半導体装置を積層する場合に作業が容易で確実になる。積層接続では初めに固定用の治具を用いて電気的な接続のみを行う。リードフレーム上の電極に、はんだ漕ディップによりはんだを供給し、その後位置合せして、各層間の接続部を一括リフロー接続する。例えばFe-Ni系の材料をリードフレームとして用いる場合、LSIチップ上電極と接続する位置と、外部電極となる位置にAgめっきを施しておく。モールド工程まで終了した後、所定の形状に各半導体装置を切り出し、図13の様にはんだ槽にディップする。このときははんだ供給量はAgめっきの範囲とディップ深さにより制御できる。またAgめっきをはんだで置換するので、Agめっきが一部はんだ中に残留することとなり、積層接続部でのはんだ融点を基板搭載の接続部と比較して高い方向に階層化することが出来る。従って基板搭載の熱工程に対しても層間の接続信頼性を向上できる。

【0036】積層接続部と基板搭載接続部の温度階層を設けるには、このほかに、各層間の接続部に対してSn/Pb、10/90のはんだを用い、基板搭載の重極にSn/Pb、60/40の共晶はんだを使い分ける方法も考えられる。高温はんだを使用する場合はリードフレーム上のめっき種類はSn等でもよい。

【0037】リードフレーム上のめっきをLSIとの接続側と基板搭載接続部側で別とすることなく1種類で終了できること、このためリードフレームの製作コストを低減できることなどがはんだディップによるはんだ供給法の利点となる。

【0038】積層接続を終了後、積層モジュールの電気的な検査を所定の付け外し可能なテスト用ソケットへの

装着またはテスト基板上への仮搭載によって行い、その後、UVまたは熱硬化型の接着剤により各層間の所定位を固定する。このような補助的な固定との併用により層間の電気的接続部の信頼性を向上させることが出来る。

【0039】はんだによる層間接続を用いていることから、各層を積層した電気的接続後の検査で一部の半導体装置に不良を生じた場合に、その層の取換え等リペア作業が可能となる。例えばはんだ吸い取り用のウイックを用いて層間接続部のはんだを除去して各層を分離し、はんだ層ディップによりはんだを供給した新たな良品と不良品を置き換えて再度電気的接続を行う。またははんだ供給量が少ない為に電気的な断線不良が起きた場合には、その部分にペースト状のはんだ所定量供給することにより再度電気的な接続を行う。

【0040】半導体装置を積層配置で実装する場合には、積層モジュール内部でのLSIチップが複数個動作することが考えられるが、この場合には発熱密度が高くなるため特にモジュールからの放熱を考慮する必要がある。本発明による超薄型半導体装置ではLSIチップを保護することを主目的とした補強部分を設けているが、この部分をモールドレジンより露出させうる形状としておき、これをモジュールが搭載される基板への熱伝導経路もしくは放熱フィンとして成形する。この方法ではより多数の半導体装置を積層する場合、中間層からの放熱を促進させることができる。さらに補助的な放熱手段をミラー面側のチップ露出部に装着することも考えられる。

【0041】(実施例3)実施例1及び実施例2に記載される極薄型半導体装置および積層型モジュールとその他の必要な電子部品を搭載した機能カードの実施例を以下に示す。

【0042】例えばメモリLSIを内蔵した場合には、規格寸法として厚さ5mm以内におさめる必要があるが、本発明の半導体装置になる積層モジュールを内蔵すると、1層当たりの厚さが0.25mmがあるので8層程度の積層構造でも全体厚さは2mm程度となり、1m前後のプリント基板の両表面にモジュールを実装することが可能となる。通常のTSOP型の半導体装置を用いると、パッケージの厚さが1mm程度であるため、片側には2層程度しか搭載することができない。テープキャリア型半導体装置用いるとしても、一層当たり0.6mm程度のもの4個を、積層位置で基板の片側に実装する図14の様な構造が実用上の限界となる。テープキャリアの形態ではリードの剛性が低いため、基板実装状態でしか積層状態とならず、積層モジュールを単体で取り扱うことは不可能となる。また実装工程におけるリペア作業も大変困難となる。

【0043】本発明の半導体装置をもちいれば現状でも同じ面積の基板に対して従来技術の4倍のメモリLSI

を実装できる。また積層型のモジュールを用いなくとも、単層の半導体装置が、厚さ僅か0.25mmであるため、極めて薄型のカードを製作することが可能となる。

【0044】カード形態のモジュールからの放熱手段は熱伝導による方法が有効となる。各半導体装置上のLSIチップの補強部分を利用するか、あるいは外部に装着した放熱部材をカードの筐体となる金属製の外皮に接触する構造とすることで、効率のよい放熱を行なうことが出来る。

【0045】

【発明の効果】本発明の構造を用いた半導体装置ではLSIチップを補強した状態で極めて薄い半導体装置を構成することができる。またリードフレームの一部を用いる構造では、補強の他に放熱部、または位置合わせ部、さらにはモールドレジンの薄型化に対応した、紫外線等のLSIに誤動作を生じさせる光線からの遮光部を設けることが可能となる。

【0046】ひとつの半導体装置を極めて薄くできる事から、複数の半導体装置を積層配置で実装しても、通常の半導体装置よりも薄い状態にできる。カード状の筐体など極めて限られた体積に多数の半導体装置を実装することが可能となり、現状に比べてより高機能な機能回路を構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の基本構造図で、(a)は単層上面構造図、(b)は単層横断面図、(c)は積層構造図である。

【図2】従来型のリードフレームのエッチング形状図を示す。

【図3】本発明の構造で有効なリードフレームのエッチング形状図を示す。

【図4】熱応力解放型のインナーリード形状図を示し、(a)は切断前のリードフレームの平面図、(b)はチップ接続後切断加工した状態の平面図である。

【図5】位置合わせの基準部分を示す図で、(a)は位置合わせの側面図、(b)は位置合わせの斜視図(要素抜き出し)である。

【図6】モールド工程の断面図を示す。

【図7】半導体装置の反り状態を示す図である。

【図8】研削による薄型化加工状態を示す図である。

【図9】共通機能の電極の接続状態を示す斜視図である。

【図10】インナーリードの種類変更方法(エッチング加工による方法)を表す図で、(a)はチップセレクトの形状パターン(1)、(b)はチップセレクトの形状パターン(2)、(c)はチップセレクトの形状パターン(3)である。

【図11】インナーリードの種類変更方法(切断加工による方法)を表す図で、(a)はチップセレクトリード

13

の切断パターン（1）、（b）はチップセレクトリードの切断パターン（2）、（c）はチップセレクトリードの切断パターン（3）である。

【図12】本発明の半導体装置のリード形状（2段曲げ）を示す図である。

【図13】はんだディップによるはんだ供給方法を示す図である。

【図14】従来積層メモリカードと本発明積層メモリカードの比較を示す側面図で、（a）は本発明の積層メモリを実装した例、（b）は従来型積層メモリの例を示す。

【記号の説明】

1…リードフレーム、2…LSIチップ、3…LSIチップ補強部（遮光部にも放熱部にもなる）、4…モール

14

ドレジン、5…パンプ、6…従来のリードフレームパターン、7、14…位置あわせ穴ようの加工部

8…LSIチップ搭載位置、9…本発明のリードフレームパターン、10…切断加工位置

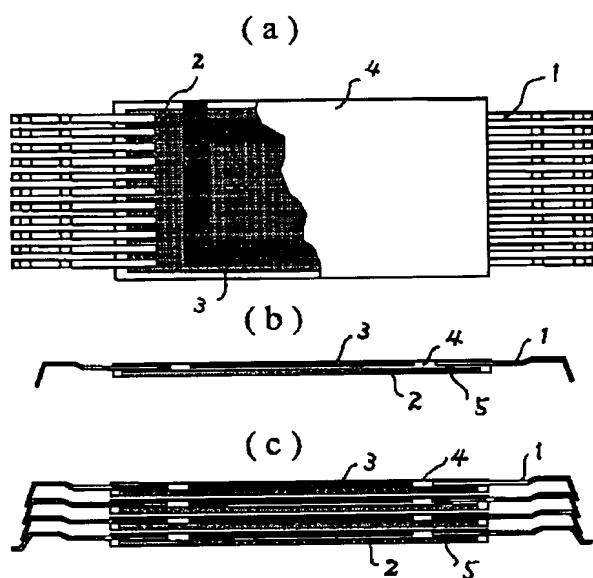
11…位置合せ用穴、12…応力解放形状、13…位置合せ穴、15…モールド金型

16…研磨用ホルダー、17…研磨と粒付き円盤、18…冷却液、19…切断加工位置、20…基板上電極、21…基板-モジュール接続部、22…各層間接続部、23…はんだ槽、24…本発明の半導体装置になる積層モジュール

25…従来のテープキャリア方式による積層モジュール、26…メモリコントローラ等の部品

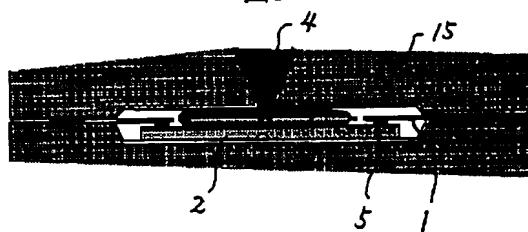
【図1】

図1



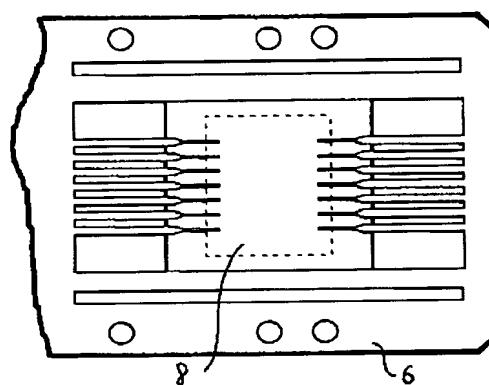
【図6】

図6

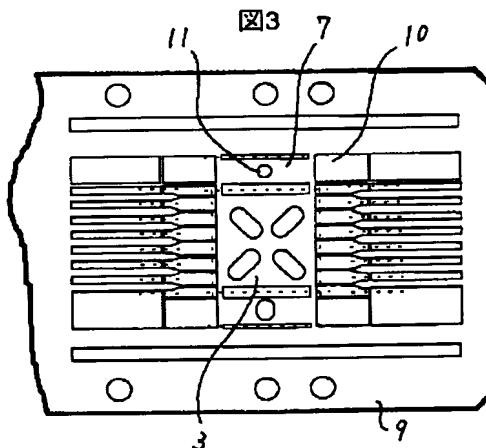


【図2】

図2

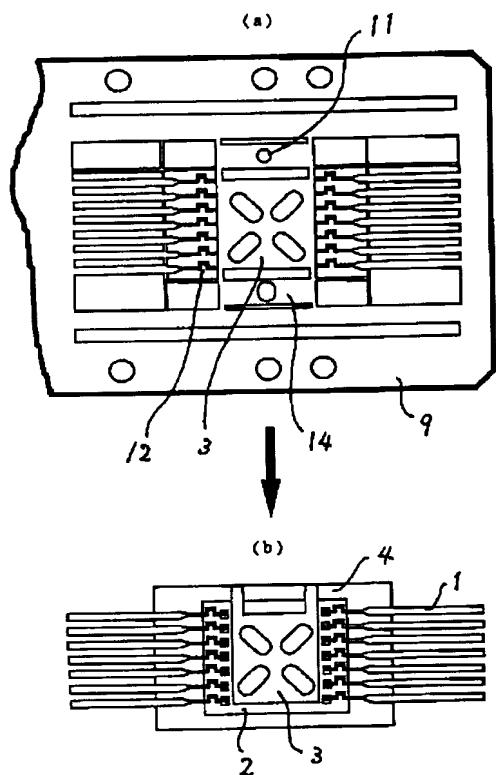


【図3】



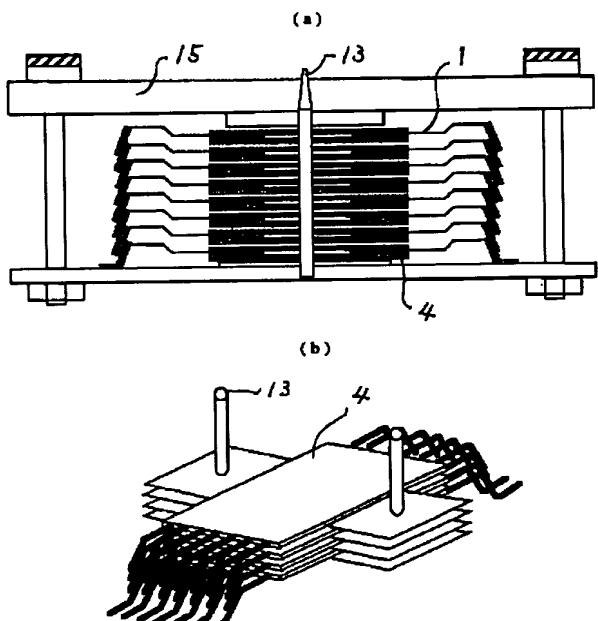
【図4】

図4



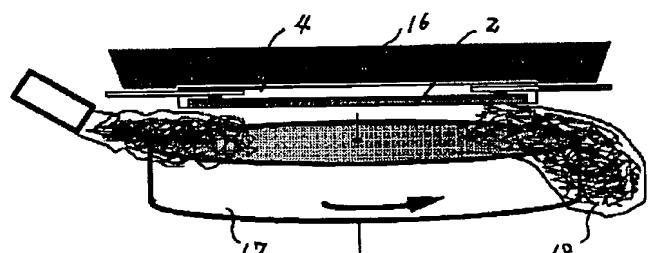
【図5】

図5

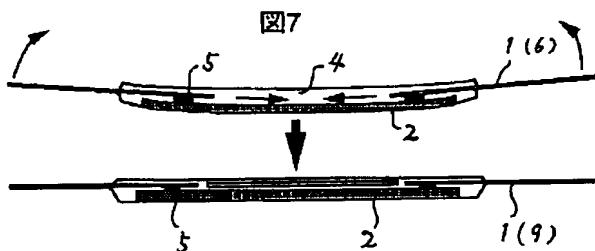


【図8】

図8

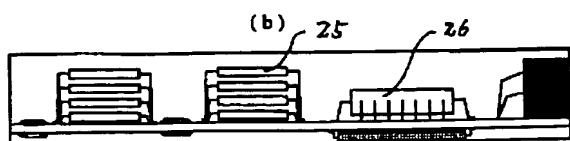
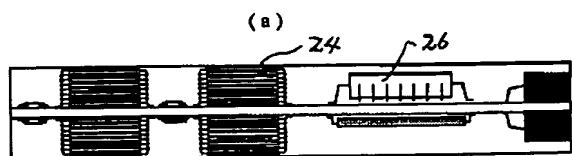


【図7】



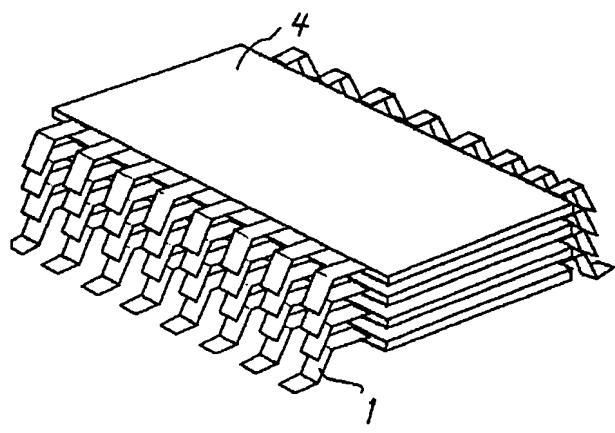
【図14】

図14



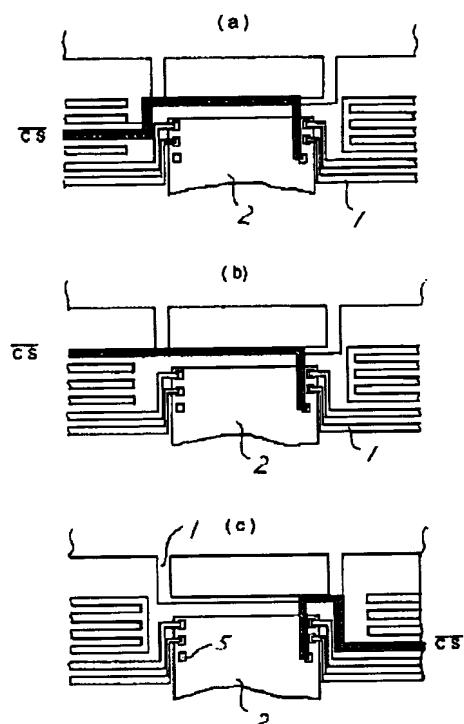
【図9】

図9



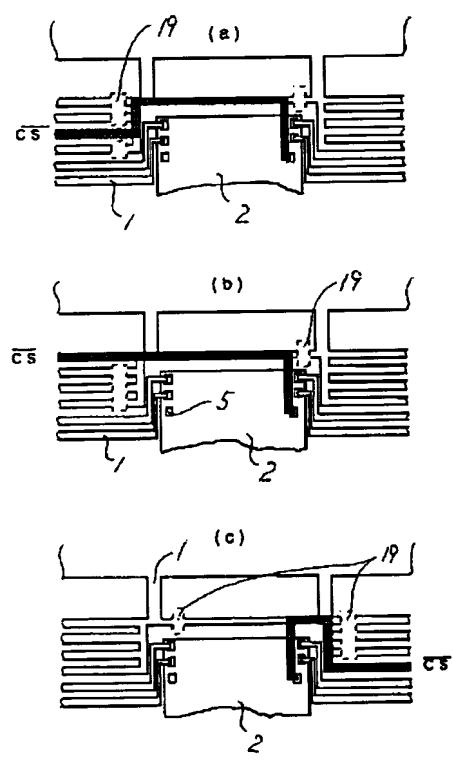
【図10】

図10



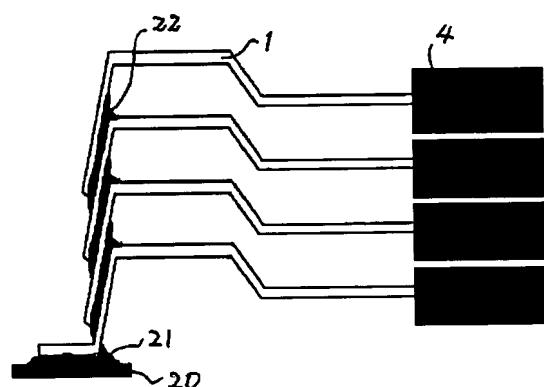
【図11】

図11



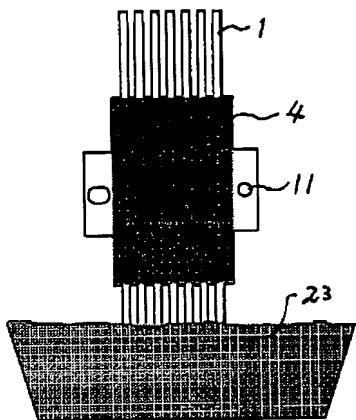
【図12】

図12



【図13】

図13



## フロントページの続き

(51) Int. Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/56	R			
23/02	B			
23/04	E			
23/28	Z 6921-4E			
25/10				
25/11				
25/18				

(72)発明者 佐伯 準一  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 吉田 亨  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 謙田 尚哉  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 吉田 勇  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 河合 通文  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 山倉 英雄  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 角田 重晴  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 折橋 律郎  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 増田 正親  
東京都小平市上水本町五丁目20番1号株式  
会社日立製作所半導体事業部内

(72)発明者 河合 末男  
東京都小平市上水本町五丁目20番1号株式  
会社日立製作所半導体事業部内